

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2760334号

(45) 発行日 平成10年(1998) 5月28日

(24) 登録日 平成10年(1998) 3月20日

(51) Int.Cl.⁶

識別記号

F I

G 0 1 R 31/26

G 0 1 R 31/26

G

31/28

31/28

H

請求項の数 3 (全 13 頁)

(21) 出願番号 特願平7-338193

(22) 出願日 平成7年(1995)11月30日

(65) 公開番号 特開平9-152464

(43) 公開日 平成9年(1997)6月10日

審査請求日 平成7年(1995)12月4日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 谷口 幸弘

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74) 代理人 弁理士 加藤 朝道

審査官 西島 篤宏

(56) 参考文献 特開 昭64-112176 (J P, A)

特開 平1-203983 (J P, A)

特開 平2-85772 (J P, A)

特開 平4-158275 (J P, A)

実開 昭61-127469 (J P, U)

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の試験装置及び試験方法

1

(57) 【特許請求の範囲】

【請求項1】 被試験半導体集積回路装置に対して所定のサーチ範囲から開始してバス/フェイルの境界を画する値をバイナリサーチ法に基づき反復的にテストして求める手段を備えると共に、

複数の被試験半導体集積回路装置を並列測定モードでテストする手段を具備してなる半導体集積回路装置の試験装置において、

バス及びフェイル時にサーチで設定した値を格納するレジスタを並列測定対象の前記被試験半導体集積回路装置の数に対応して備え、

前記複数の被試験半導体集積回路装置に対して並列してバイナリサーチを行い、この並列型バイナリサーチにおいて、前記複数の被試験半導体集積回路装置の間で互いに相違するバス/フェイル結果が発生した場合には、個

2

々の被試験半導体集積回路装置に対してバイナリサーチを逐次的に行い各被試験半導体集積回路装置のバス/フェイル境界値を個別に求めるように制御することを特徴とする半導体集積回路装置の試験装置。

【請求項2】 (a) 複数の被試験半導体集積回路装置に対してバス/フェイル境界値を求めるバイナリサーチテストを、前記複数の被試験半導体集積回路装置間でバス/フェイル結果が相違するか、又は予め定められた所定の分解能に達するまで並列に行う工程と、

(b) 前記工程(a)でバス/フェイル結果が相違した際に前記工程(a)に継続して前記被試験半導体集積回路装置のそれぞれについて予め定められた所定の分解能に達するまでバイナリサーチテストを個別に行う工程と、

を含むことを特徴とする半導体集積回路装置の試験方

法。

【請求項3】複数の被試験半導体集積回路装置に対応してそれぞれのバイナリサーチにおけるテスト結果を格納するレジスタと、

直前のテスト結果パス及びフェイル時サーチで設定した値を格納するレジスタと、を、同時測定対象の前記被試験半導体集積回路装置の数分備え、

同時並列測定時にバイナリサーチを行うように構成されてなることを特徴とする半導体集積回路装置の試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の電気的特性を試験する試験装置 (Automatic Test Equipment; ATEあるいは「ICテスト」という) に関し、特に半導体集積回路装置の試験装置におけるバイナリサーチ処理方法に関する。

【0002】

【従来の技術】半導体集積回路装置 (Integrated Circuits; 「IC」という) の電気的特性を試験する試験装置 (「ICテスト」、あるいは Automatic Test Equipment; 「ATE」という) は、被試験デバイス (Device Under Test, 「DUT」ともいう) である IC へ電気信号を印加し、この電気信号に対する被試験デバイスからの応答出力を IC テスタの内部に格納された期待値あるいは規格データと比較することにより、被試験デバイスの電気的良・否 (パス又はフェイル) の判定を行うものである。

【0003】図4は、IC テスタの構成概略図を示し、図中、1は制御部、2は測定部、3はDUT、4はメモリ部である。

【0004】制御部1は、メモリ部4内に格納されたテストプログラムに従って測定部2を制御し、DUT3に対する電気信号を生成させ、この電気信号をDUT3に印加させる。また、制御部1はDUT3から電気信号をテストプログラム内にて定義された規格値又は期待値とを比較しDUT3の電気特性の良・否の判定を行う。

【0005】通常、IC テスタの良否判定は、DUTの出力値と予め定められた規格値との大/小関係で一義的に行われることが多い。

【0006】しかし、DUTの出力値そのものを取り込む場合や、一回のテストでは良否判定ができず、複数回のテストでDUTの出力値を得る場合等においては、IC テスタが有するバイナリサーチ機能が用いられる。このバイナリサーチ機能とは、逐次比較方式による値の検出 (サーチ) 方法である。IC テスタで被試験デバイスの例えばAC試験等を行う際 (伝搬遅延時間、信号の立ち上がり/立ち下がりエッジ、セットアップ/ホールド時間、パルス幅が規格値にあるか否かを試験する際に)、IC テスタのファンクション試験において所定の

テストサイクル中にて被試験デバイスの出力信号と期待値とを比較するコンパレータのストローブタイミングをバイナリサーチで順次振って、コンパレータの比較結果に基づきパス/フェイルの境界に対応するストローブタイミング (基準タイミングからの時間) から被試験デバイスの出力信号エッジのタイミングを導きこれを規格値と比較する。その際、テストプログラムでバイナリサーチするパラメータとバイナリサーチする範囲とを設定し IC テスタはそのテストプログラムに従って設定されたパラメータの値をサーチ範囲内で変化させながら試験し、サーチ範囲内に存在する試験のパス領域とフェイル領域の境界値を求める。

【0007】従来のバイナリサーチ法の一例として、特開平1-112176号公報 (特願昭62-270010) には、範囲が広いバイナリサーチは試験回数の増大を招き、試験時間の長大化及び試験コストを増大するという問題を解消するため、テストプログラムに設定された冗長度の大きなバイナリサーチ範囲とは別に被試験 IC のロット固有で適正なバイナリサーチ範囲を算出するようにした IC テスタが提案されている。

【0008】図5は、IC テスタのバイナリサーチ機能を用いて、DUTの出力波形の高レベル (Highレベル) 幅を求める場合、サーチ範囲及び演算方法を説明するためのタイミングチャートである。なお、図5において、テストレートはIC テスタのテスト周波数を示し基準タイミング信号T₀で定められ、入力クロックはDUTへの入力信号波形、出力波形はDUTからの出力波形、期待値は予めテストボタン (テストベクトル) に定義されたDUTの期待値、STBは出力波形の電位と期待値とをコンパレータで比較するタイミングを規定するストローブ信号を示している。

【0009】先ず、ボタンa内でDUTの出力波形が低レベル (Lowレベル) から高レベル (Highレベル) に立ち上がるタイミングAをサーチ範囲a₁、a_n内で求め、基準タイミングT₀に対して時間d_aを得たとする。

【0010】次に、ボタンb内でDUT出力波形が高レベル (Highレベル) から低レベル (Lowレベル) に立ち下がるタイミングBをサーチ範囲a₁、a_n内で求め、同様に時間d_bを得たとする。

【0011】この場合、求めるDUTの出力波形のHighレベル幅は、(R - d_a + d_b) で求まる。このRは、テストレート時間 (基準タイミングT₀で規定されるテスト周期) を意味している。

【0012】実際のバイナリサーチの処理を、図6及び図7のフローチャートを参照して以下に説明する。このバイナリサーチによる値の検出 (サーチ) は、テストプログラム内に定義されたサーチ範囲内に求めるべき値が存在し、且つこれら範囲の上限と下限はテスト結果として相反することが前提とされている (上限でパスの場合

下限ではフェイルという具合に上下限でテスト結果が反転することが必要)。

【0013】図6に示すように、サーチレジスタにサーチ範囲の上限値 aH を設定し (ステップ601)、テストを行い (ステップ602)、DUTの出力が期待値と一致した場合パスとなり、パスの値を格納するレジスタPVに上限値 aH を設定し (ステップ604)、フェイルであれば、フェイルの値を格納するレジスタFVに aH を設定し (ステップ605)、次にサーチレジスタに下限値 aL を設定して再びテストを行い (ステップ606~607)、テスト結果がパスの場合、サーチ不可能であるとしてサーチ不可処理 (すなわち、設定された上限、下限で共にパスしており、テスト結果が上限下限で反転していず、このサーチ範囲内にはパス/フェイル境界値がない) を行って (ステップ609) 終了し、フェイルであれば、フェイル値 (フェイルの境界) を $FV = aL$ とする (ステップ610)。

【0014】そして、このパス値とフェイル値PV、FVの差の絶対値 ($= |PV - FV|$) が予め定められた所定の分解能RE以下である場合には、最小分解能に到達したため、パス/フェイル境界値が求められたことに相当し、パス/フェイルの境界値であるサーチ結果を、上限値のPVとする (ステップ612)。

【0015】一方、 $|PV - FV|$ が分解能REより大であれば、図7に示すように、上限PVと下限FVとの中間値 a を新たにサーチレジスタに設定してテストを行い (ステップ701~703)、パス/フェイルに応じて、テスト結果を格納するレジスタRTを「P」、
「F」とする (ステップ705、706)。

【0016】そして、PVと a の差の絶対値 ($= |PV - a|$) が分解能RE以下の時において、テスト結果を格納するレジスタRTがパス (「P」) を示している場合、サーチ結果を a とし (ステップ710)、フェイルの場合、サーチ結果をPVとする (ステップ711)。

【0017】 $|PV - a|$ が分解能REよりも大の時には、テスト結果がパスの場合、パス境界を直前のテストにおいてサーチレジスタに設定された値 a をパス値のレジスタに設定し ($PV = a$)、 a とFVの中間値を新たに a とし (ステップ713)、この a をサーチレジスタに設定してサーチを繰り返す (図7のステップ702へ移行する)。テスト結果がフェイルの場合、フェイル値のレジスタFVに a を設定し、 a とPVの中間値を新たに a とし (ステップ712)、この a をサーチレジスタに設定してサーチを繰り返す。

【0018】このバイナリサーチ機能は、先に逐次比較方式と述べたように、逐次比較方式のアナログ・デジタル変換器 (A/D変換器) と同様に、検出値を求める場合、上位のビットより決定していき、最小分解能すなわち最小ビットに至るまで決定された時点でサーチを終了するものである。

【0019】このため、サーチの回数は、サーチ範囲内の求めるべき値をディジタルで表した際、既にサーチ範囲で決まった上位ビットを除く下位ビットの桁数分とされる。

【0020】一方、ICテストは、テスト時間短縮すなわちテストコストを低減させるべく一台のICテストで同時に複数個の被試験ICの試験を行う並列機能を具備している。

【0021】いま、並列数を2ヶと仮定した場合、図8に示すように、2つの被試験デバイスDUT1、2の各々の出力波形により、Highレベル幅 W_1 及び W_2 を求める場合は、図9に流れ図で示すように、まず、テストプログラム内あるいはICテストのシステム内の制御部の認識により、並列測定モードを解除して、1ヶ測定モードを指定する (ステップ901)。この1ヶ測定モード (シングルモード) とは、まずDUT1についてテストし、テスト終了後、次にDUT2についてテストするモードである。

【0022】従って、まず、DUT1に対し、バイナリサーチ機能により d_{a1} 、 d_{b1} を求め、Highレベル幅 W_1 を演算 ($W_1 = R - d_{a1} + d_{b1}$) で求める (ステップ902~904)。次に、DUT2に対し、同様にしてバイナリサーチで d_{a2} 、 d_{b2} を求め、Highレベル幅 W_2 を演算 ($W_2 = R - d_{a2} + d_{b2}$) で求めていた (ステップ905~907)。そして1ヶ測定モードの後に並列測定モードの指定が行われる (ステップ909)。

【0023】

【発明が解決しようとする課題】このように、従来のICテストのバイナリサーチ機能は、並列測定機能と同時に用いると、各DUTの値を個別に求めることができず、並列測定時においてもバイナリサーチによるテスト実行時にシングルモードに設定し直すことが必要とされ、このためテスト回数及びテスト時間が増大するという問題点を有する。

【0024】図10を参照して、この理由を詳細に説明する。

【0025】ICテストで2ヶの被試験デバイスを並列測定する際においてバイナリサーチ機能を用いた場合、バイナリサーチ機能は期待値との比較で求めるべき値をサーチするので、両DUT1、2の判定値が一致する部分、図中では A_2 と B_1 のタイミングとなる (図10のDUT1 & 2のサーチ結果と等価波形参照)。

【0026】これはタイミング A_2 に関してはDUT2の出力波形立ち上がりのタイミングであり、タイミング B_1 に関してはDUT1の立ち下りのタイミングとされるという具合に二つのDUTについて混在したタイミングとされ、各々のDUT1、DUT2の立ち上がり/立ち下りのタイミングを求めることができないことに
よる。

【0027】これは従来のICテストが並列測定対応のバイナリサーチ機能を有していないことによる。

【0028】ここで、テストレートを $1\mu s$ 、実行ボタン数(テストベクトル長)を1000、ICテストがシステムを走行させたり、次のバイナリサーチ処理を実行するために必要とされる演算時間を10ms、バイナリサーチで求める値の下位8ビットを決定する場合、 $(1\mu s/\text{ボタン} \times 1000\text{ボタン} + 10\text{ms}) \times 8 \times 2\text{DUT} = 176\text{ms}$ (ミリ秒)を要し、このため完全に並列テストができたと仮定した場合、88ms程テスト時間の長大化を招くという問題点を有する。

【0029】本発明は、上記問題点に鑑みてなされたものであって、同時並列測定時でも各DUTの値をバイナリサーチできるようにしたICテストを提供することを目的とする。

【0030】

【課題を解決するための手段】前記目的を達成するため、本発明は、(a)複数の被試験半導体集積回路装置に対してバス/フェイル境界値を求めるバイナリサーチテストを、前記複数の被試験半導体集積回路装置間でバス/フェイル結果が相違するか、又は所定の分解能に達するまで並列に行う工程と、(b)前記工程(a)でバス/フェイル結果が相違した際に前記工程(a)に継続して前記被試験半導体集積回路装置のそれぞれについて所定の分解能に達するまでバイナリサーチテストを個別に行う工程と、を含むことを特徴とする半導体集積回路装置の試験方法を提供する。

【0031】また、本発明は、被試験半導体集積回路装置に対して所定のサーチ範囲から開始してバス/フェイルの境界を画する値をバイナリサーチ法に基づき反復的にテストして求める手段を備えると共に、複数の被試験半導体集積回路装置を並列測定モードでテストする手段を具備してなる半導体集積回路装置の試験装置において、バス及びフェイル時にサーチで設定した値を格納するレジスタを並列測定対象の前記被試験半導体集積回路装置の数に対応して備え、前記複数の被試験半導体集積回路装置に対して並列してバイナリサーチを行い、この並列型バイナリサーチにおいて、前記複数の被試験半導体集積回路装置の間で互いに相違するバス/フェイル結果が発生した場合には、個々の被試験半導体集積回路装置に対してバイナリサーチを逐次的に行い各被試験半導体集積回路装置のバス/フェイル境界値を個別に求めるようにしたことを特徴とする半導体集積回路装置の試験装置を提供する。

【0032】本発明に係る半導体集積回路装置の試験装置は、各DUT毎にバイナリサーチで要するレジスタ、すなわち直前のテスト結果、直前のバス時及びフェイル時サーチで設定した値を格納するレジスタを有し、各DUTのサーチ結果が一致する迄、並列同時測定を行い、サーチ結果が一致しない時、各々のDUT毎に、好まし

くは、並列テスト実行時のサーチ範囲に基づきバイナリサーチを行い、バス/フェイル境界値を求めるように構成されたバイナリサーチ機能を具備したものである。

【0033】

【発明の実施の形態】本発明の実施の形態を図面を参照して以下に説明する。なお、本実施形態に係るICテストの基本構成は図4に示すものとし、複数の被試験デバイス(「DUT」という)を同時に並列測定する機能を具備しているものとする。

【0034】図1ないし図3は、本発明の一実施形態に係るバイナリサーチ機能の処理フローを示した流れ図である。なお、基本的なバイナリサーチ機能は従来のICテストのバイナリサーチ機能と同等である。すなわち、ICテスト内部の制御部サーチ範囲 a_n 、 a_1 よりテストを実行し、それ等のテスト結果に基づいて、次にテストする場合に用いる値を演算しサーチレジスタに設定し、テストを実行していく。これら処理をレジスタの最小ビットすなわち所定の分解能まで求めるものであり、処理の流れの概略は図6及び図7で説明したものと同様である。

【0035】本発明の実施形態が、図6及び図7に示した従来例と相違する点は、並列測定時において各DUT毎に直前のテスト結果、直前のバス時及びフェイル時のサーチで用いる値を格納するレジスタを有し、ICテスト内部の制御部が各処理毎にどのDUTに対して処理しているかを判別するためのレジスタを備えた点である。

【0036】本実施形態に係るICテストのバイナリサーチの方法を説明すると、制御部は、並列テスト対象の複数のDUTの各々に対して同時バイナリサーチを開始する。

【0037】複数のDUTに対するバイナリサーチのサーチ方法は、それぞれ図6及び図7の従来例と同様である。

【0038】制御部は複数のDUTについて各DUTのサーチ時のテスト結果が一致するところまで、見かけ上、複数のDUTを1つのDUTと見なし、サーチを実行する(この場合、処理フローは図6及び図7の流れ図に従う)。

【0039】サーチ時のテスト結果が複数のDUTで互いに一致しない場合(一致しなくなったサーチ範囲において)、各DUTのテスト結果レジスタへテスト結果をそれぞれ格納し、直前のバス、フェイル時のサーチで設定した値をレジスタに格納し、待避する。

【0040】以降、制御部は、複数のDUTの同時測定におけるバイナリサーチで既に得られているサーチ範囲等の情報に基づき各DUT毎にバイナリサーチを個別(逐次的)に実行する。

【0041】その際、個々のDUTのバイナリサーチ処理の再開にあたっては、レジスタに格納、待避した情報、すなわち直前のバス、フェイル時のサーチ時に設定

した値や、テスト結果を用いて、同時測定での各DUTのサーチ処理で不一致の部分（求める値の下位側ビット）のみをサーチを実行する。

【0042】図1ないし図3を参照して、本実施形態の制御部におけるバイナリサーチの処理フローを説明する。

【0043】同時測定のDUTの数を2とした場合、初期設定として、DUT1、DUT2を識別する符号を割り振り（例えばDUT1は「1」、DUT2は「2」）、並列同時テストを意味するために両DUTには「3」（ $=DUT1 + DUT2$ ）を設定しておく（ステップ100）。

【0044】そして、サーチレジスタに上限値aHを設定し（ステップ101）、テストが1つのDUTの個別測定か、両DUTの同時測定かを判別し（ステップ102～103）、両DUTテスト、又は個別のテストを行う（ステップ104～106）。

【0045】そして、テスト結果がパスの場合の上限値の処理として、両DUTテストの場合、パス値格納レジスタPV、PV1、PV2にaHを設定し（ステップ110）、個別のDUTのテストの場合、対応するパス値格納レジスタPVi（ $i=1, 2$ ）に上限値aHを設定する（ステップ111、112）。

【0046】また、テスト結果がフェイルの場合、両DUTテストの場合にはフェイル値格納レジスタFV、FV1、FV2にaHを設定し（ステップ123）、個別のDUTのテストの場合には対応するフェイル値格納レジスタFVi（ $i=1, 2$ ）にaHを設定する（ステップ124、125）。

【0047】次に、サーチレジスタに下限値aLを設定し（ステップ113）、テスト（ステップ114）を行いテスト結果がパスであった場合サーチ不可処理に対応して、両DUTの並列測定の場合にはこれらがサーチ不可であるとの処理を行い（ステップ120）終了し、DUT1、DUT2の個々の測定の場合、DUT1の場合にはサーチ不可処理を行いDUTをDUT2に切換え（ステップ122）、ステップ102へ移行してDUT2のテストを行う。サーチ不可がDUT2の場合エラー処理を行い（ステップ121）終了する。

【0048】ステップ114のテスト結果がフェイルの際に、両DUTテストの場合、フェイル値格納レジスタFV、FV1、FV2にaLを設定し（ステップ128）、個別のDUTのテストの場合、対応するフェイル値格納レジスタFVi（ $i=1, 2$ ）にaHを設定する（ステップ130、129）。

【0049】そして、図2に示すように、個別のDUTテストの場合、サーチ範囲の情報であるパス/フェイル値格納用レジスタを待避用レジスタに格納待避する。すなわち、DUT1の場合、pV1=PV1、fV1=FV1（ステップ204）、DUT2の場合、pV2=P

V2、fV2=FV2とサーチ情報を待避する（ステップ203）。

【0050】分解能REが $|PV-FV|$ 以上の場合には、パス/フェイル境界値として、両DUTテストの時にはサーチ結果をDUT1、DUT2共にPVとし（ステップ210）、DUT1の時はPVとし（ステップ213）、DUT2のテストに移行し（ステップ214）、DUT2の場合サーチ結果をPVとして（ステップ211）、終了する。

【0051】分解能REが $|PV-FV|$ よりも小の場合には、両DUTテストの時には中間値を $a=(PV+FV)/2$ （ステップ216）、DUT1の場合、 $a=(PV1+FV1)/2$ （ステップ215）、DUT2の場合、 $a=(PV2+FV2)/2$ とする（ステップ212）。

【0052】そして、中間値aをサーチレジスタに設定して（ステップ217）、テストを行い（ステップ218）、図3に示すように、テスト結果がフェイルの場合、レジスタRTを「F」とした（ステップ302）後に、両DUTテスト、個々のDUTに応じてPVを設定し（ステップ305、307、308）する。

【0053】次に、 $|PV-a|$ が分解能RE以下の時、テスト結果がパスの場合、 $PV=a$ に設定し（ステップ315）、両DUTテストの場合、サーチ結果としてPV（ステップ321）、個々のDUT1、DUT2のテストの場合にはPVi（ $i=1, 2$ ）をサーチ結果とし（ステップ320、319）、DUT1の場合、DUT2のテストに移行する（図1のターミナル⑤に移行）。

【0054】そして、テストが結果がフェイルの場合（レジスタRTが「F」）、両DUTテストの場合、パス値格納レジスタPVに中間値aを設定すると共に、中間値を $(a+FV)/2$ とし（ステップ325）、個々のDUT1、DUT2のテストの場合にはPVi=a、 $a=(a+FVi)/2$ （ $i=1, 2$ ）とする（ステップ328、327）。また、パスの場合、両DUTテストの場合、フェイル値格納レジスタFVに中間値aを設定すると共に、中間値を $(a+PV)/2$ とし（ステップ318）、個々のDUT1、DUT2のテストの場合には個々のフェイル値格納レジスタFVi=a、 $a=(a+PVi)/2$ （ $i=1, 2$ ）とし（ステップ317、322）、サーチレジスタにaを設定してテストを行う（図2のステップ217に移行）。

【0055】本実施形態では、同時測定のDUTの数を2とした場合であるが、同時測定のDUTの数はこれ以上でも、各レジスタ数を並列数と対応させることにより対応できる。

【0056】このように、本実施形態のICテストのバイナリサーチ機能は、各DUT毎にバイナリサーチで要するレジスタ、すなわち直前のテスト結果、直前のバ

11

ス、フェイル時、サーチで設定した値を格納するレジスタを有し、各DUTのサーチ結果が一致する間は同時並列測定を実行し、不一致の部分より各DUT毎にサーチを実行するように構成したことにより、並列測定時にバイナリサーチ機能を用いるテストにおいて、例えば前述の条件で、不一致部分が3ビット相当であれば、 $(1 \mu s / \text{ボタン} \times 1000 \text{ ボタン} + 10 \text{ ms}) \times (8 - 3) \times 2 \text{ DUT} = 121 \text{ ms}$ (ミリ秒) とされ、前記従来例の実行時間176msと比較して55msも短縮できる。なお、本発明に係る試験装置及び試験方法は、LSIテスト、メモリテスト、リニアテスト、アナログデジタル混在型テスト等に適用可能である。

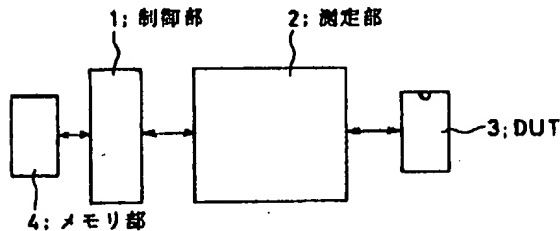
【0057】

【発明の効果】以上説明したように、本発明のICテストのバイナリサーチ機能は、各DUT毎にバイナリサーチで要するレジスタ、すなわち直前のテスト結果、直前のパス、フェイル時、サーチで設定した値を格納するレジスタを有し、各DUTのサーチ結果が一致するまで、同時測定を実行し、不一致の部分より各DUT毎にサーチを実行する処理を有するICテストにより、並列測定時にバイナリサーチ機能を用いるテストにおいてテスト時間の大幅な短縮を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るICテストのバイナ

【図4】



12

リサーチの処理の流れを説明するための図である。

【図2】本発明の一実施形態に係るICテストのバイナリサーチの処理の流れを説明するための図である。

【図3】本発明の一実施形態に係るICテストのバイナリサーチの処理の流れを説明するための図である。

【図4】一般的なICテストの構成を示す図である。

【図5】バイナリサーチによるDUT出力波形の高レベル部分Wを求める場合のサーチ範囲演算方法について説明するための図である。

10 【図6】従来のバイナリサーチ処理を示す図である。

【図7】従来のバイナリサーチ処理を示す図である。

【図8】同時並列数2ヶの場合、各DUT出力波形を示す図である。

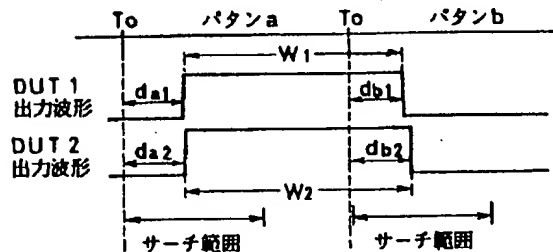
【図9】従来のバイナリサーチ機能を用いて、並列測定時の対処フローを示す図である。

【図10】従来のバイナリサーチ機能を用いて、同時並列測定を行った場合の問題点を説明するための図である。

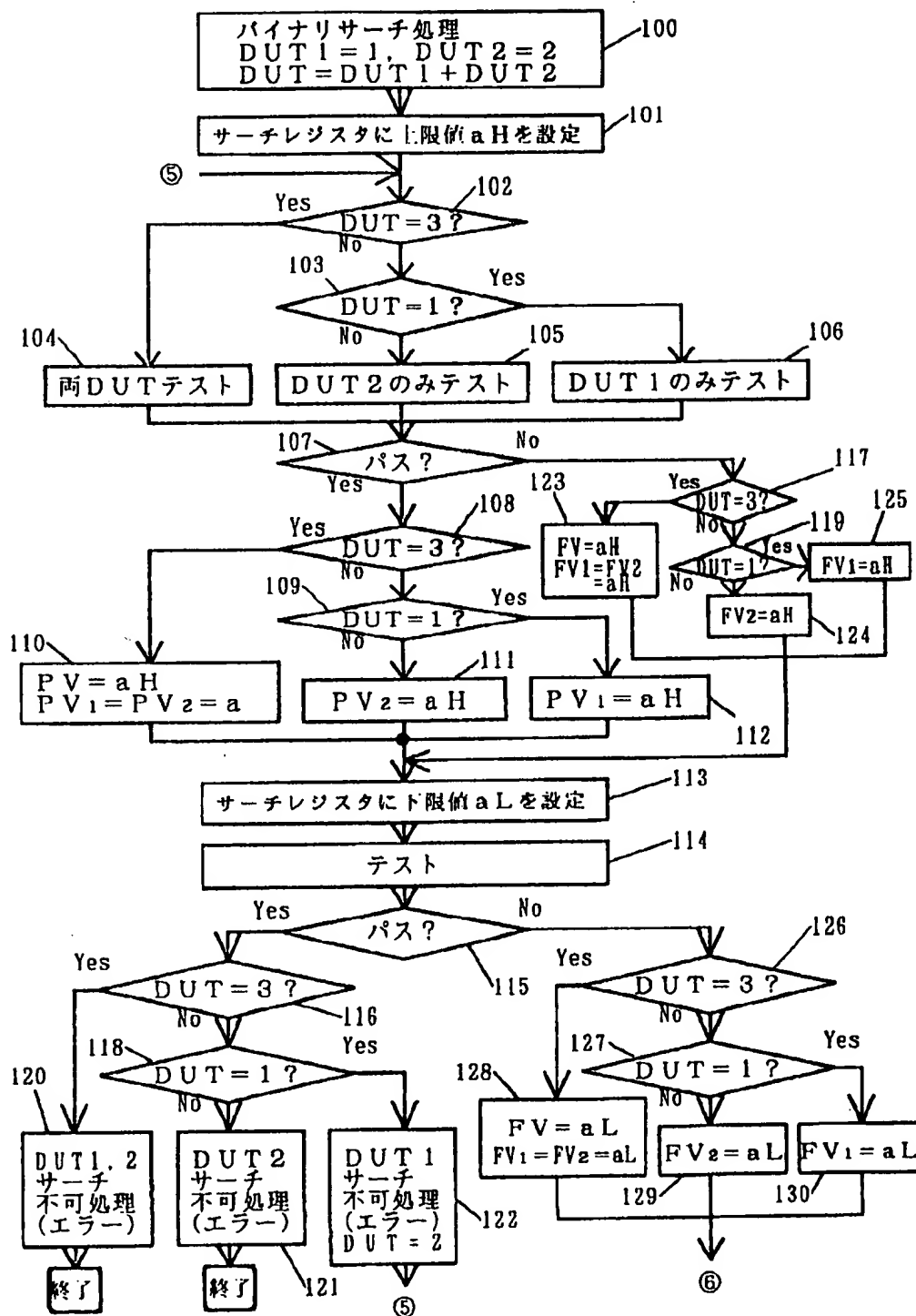
【符号の説明】

- 20
- 1 制御部
 - 2 測定部
 - 3 DUT (被測定デバイス)
 - 4 メモリ部

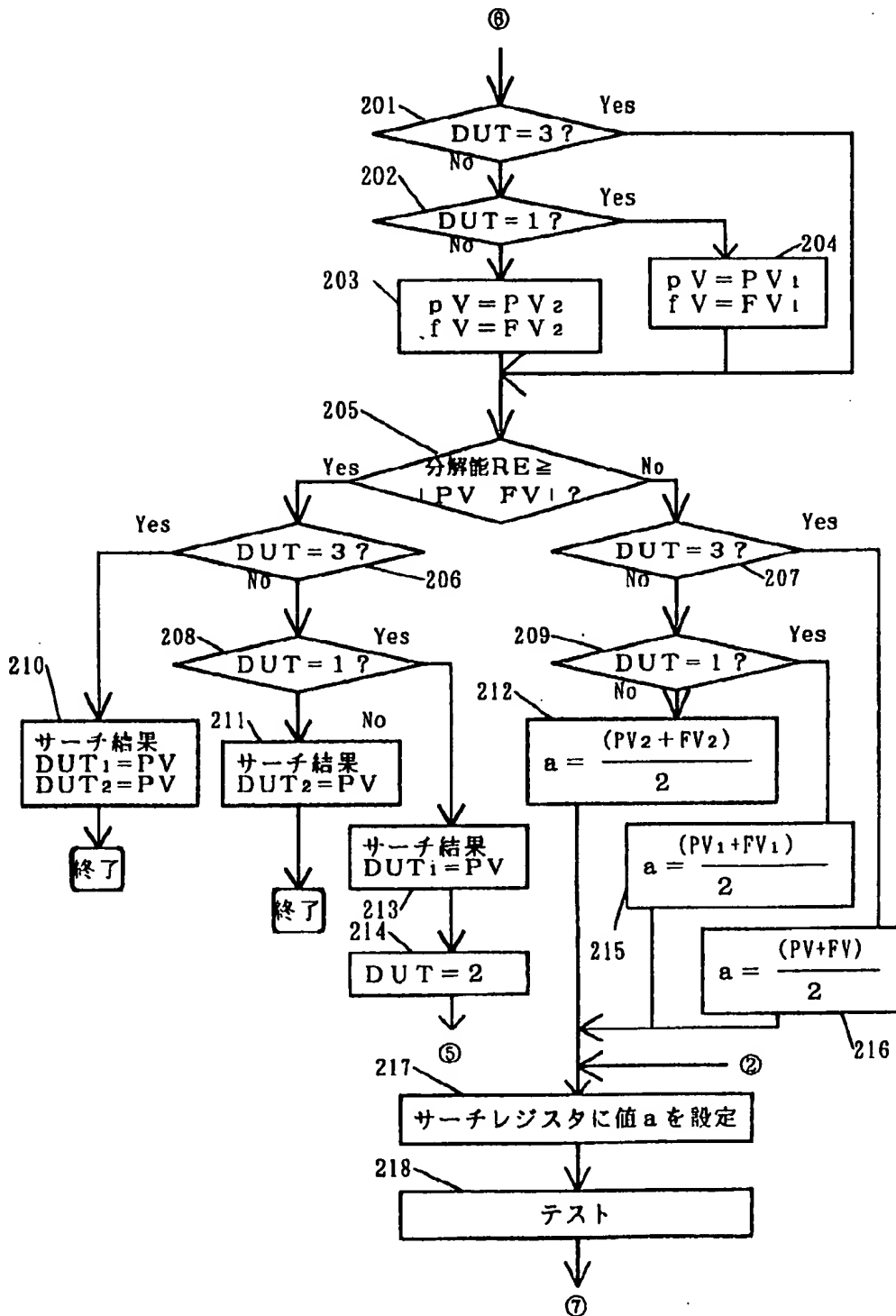
【図8】



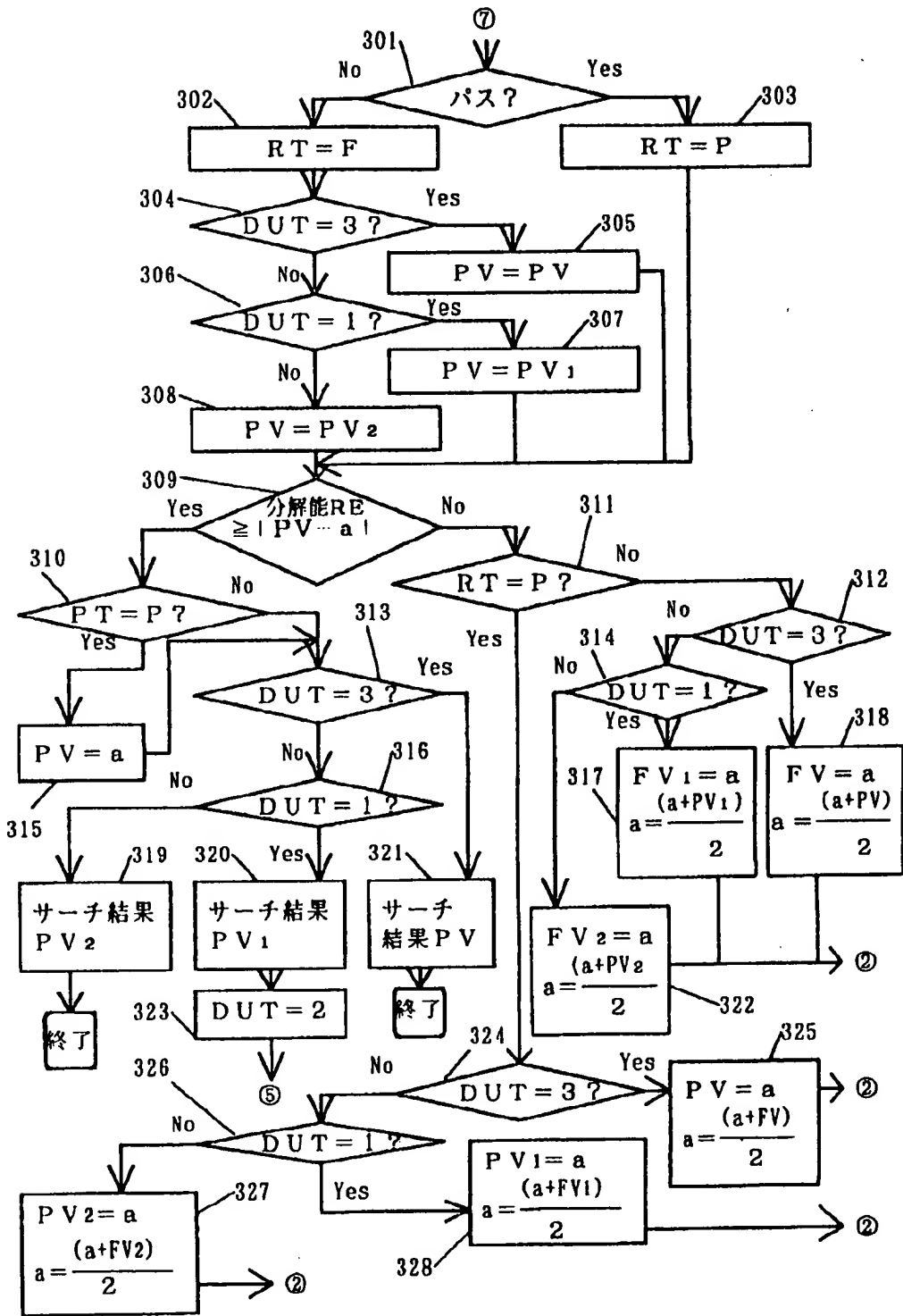
【図1】



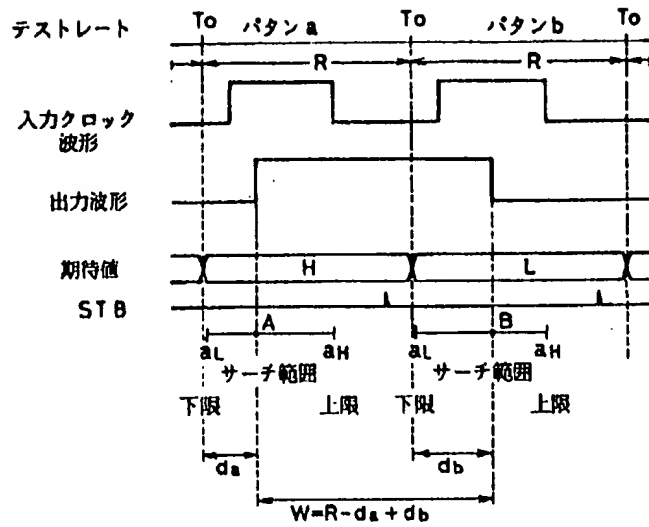
【図2】



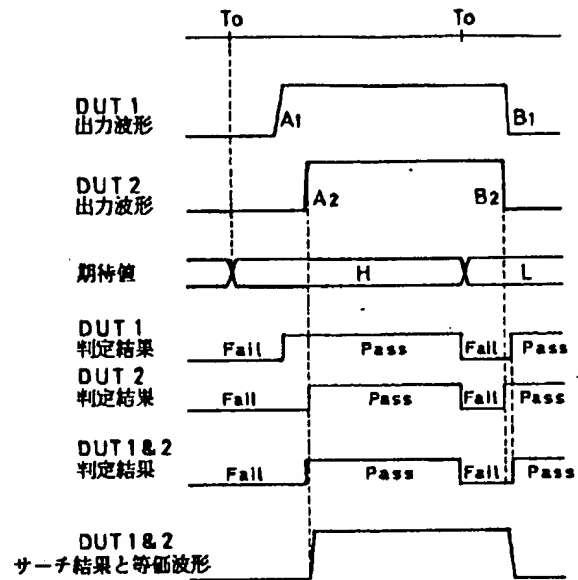
【図 3】



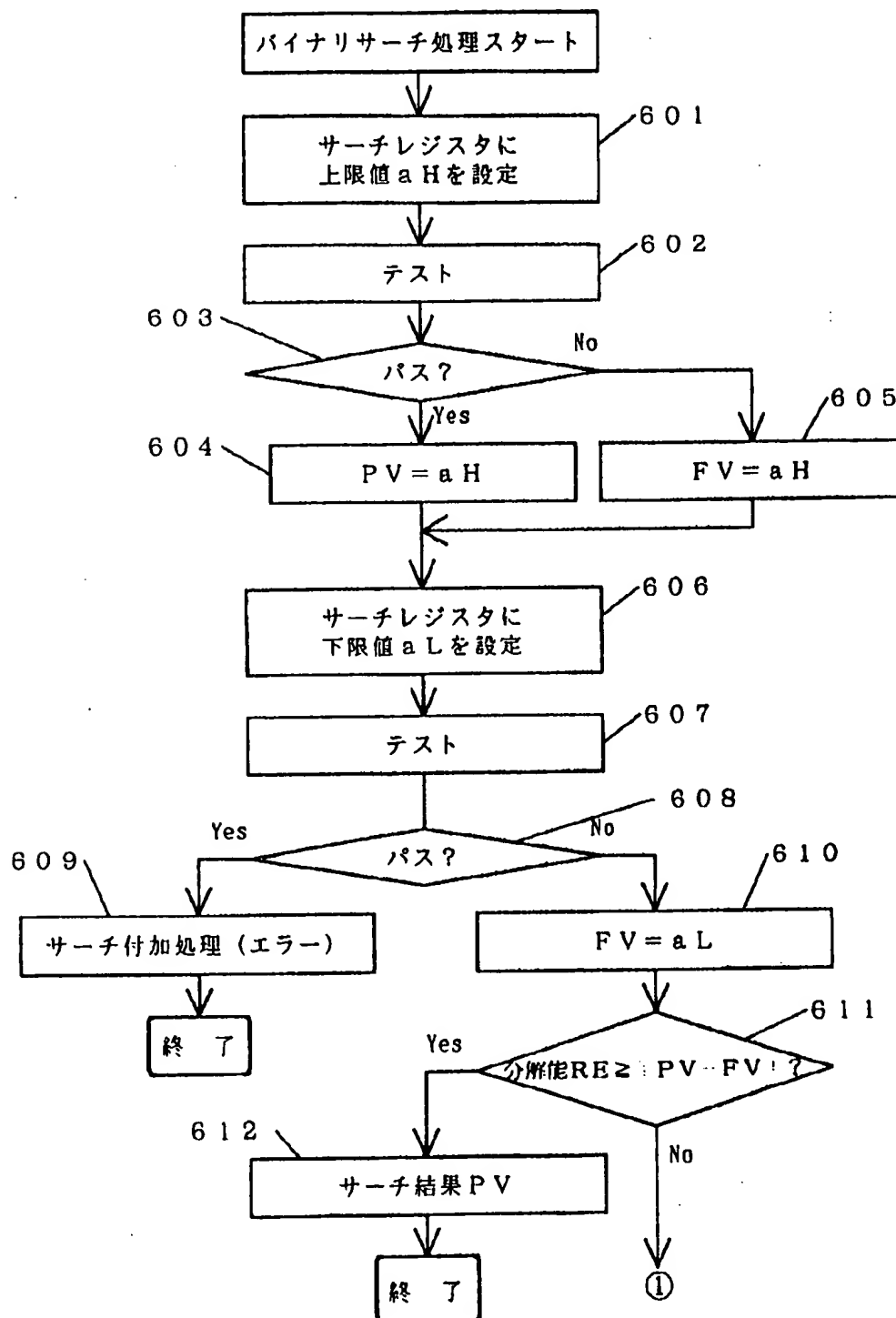
【図 5】



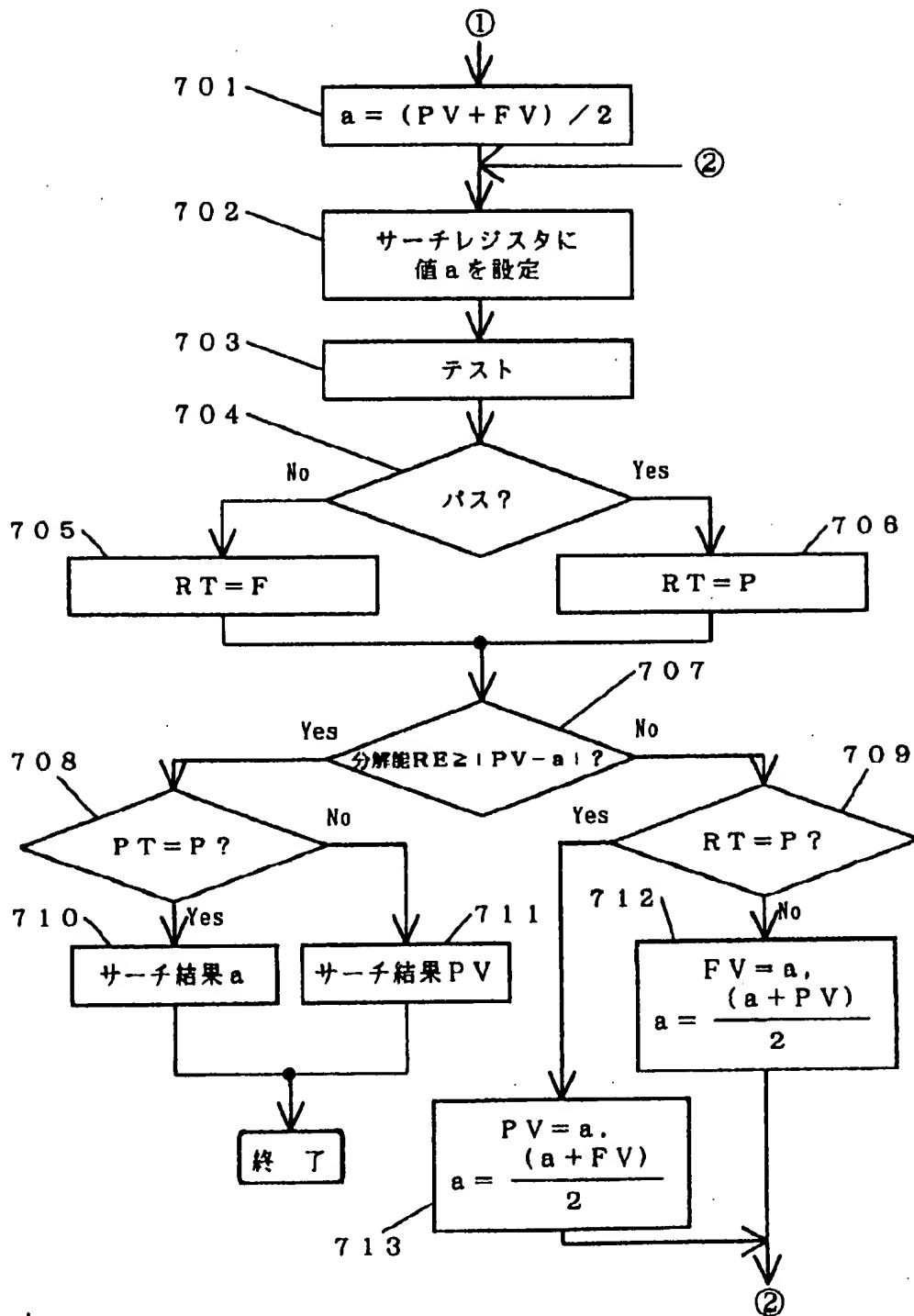
【図 10】



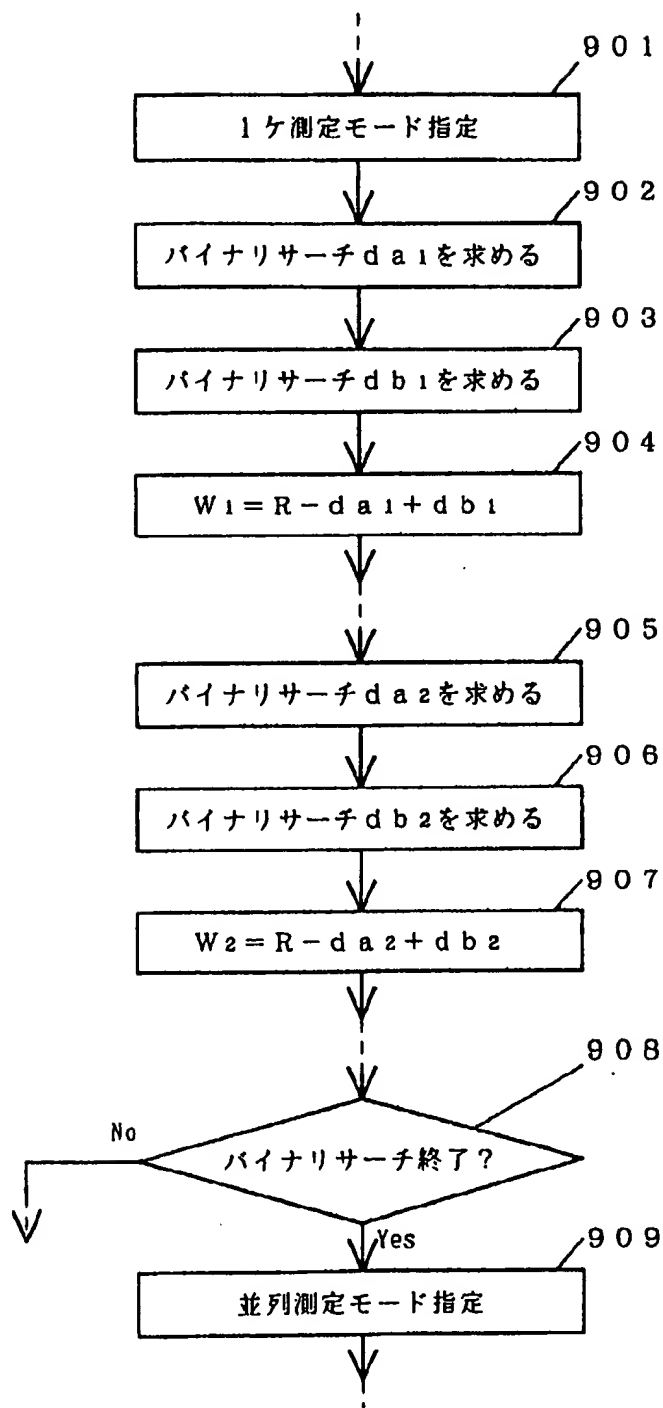
【図6】



【図7】



【図9】



フロントページの続き

(58)調査した分野(Int.Cl.⁶, DB名)

G01R 31/26

G01R 31/28